

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335395
(43)Date of publication of application : 17.12.1993

(51)Int.Cl. H01L 21/66
G01B 11/06
H01L 21/302

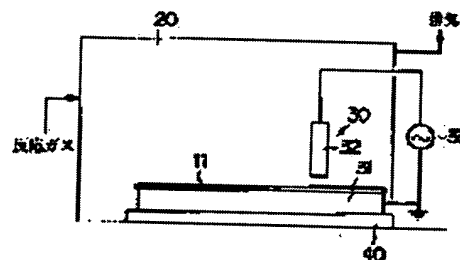
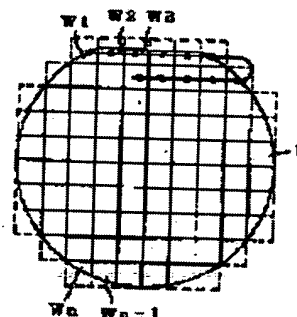
(21)Application number : 04-138845 (71)Applicant : SHIN ETSU HANDOTAI CO LTD
(22)Date of filing : 29.05.1992 (72)Inventor : OTA YUTAKA
ABE TAKAO
NAKANO MASATAKE
KATAYAMA MASAYASU

(54) METHOD FOR MAKING SOI FILM THICKNESS UNIFORM IN SOI SUBSTRATE

(57)Abstract:

PURPOSE: To suppress an irregularity in an SOI film thickness to $\pm 0.3 \mu\text{m}$ or less over the whole face of an SOI substrate even in the SOI substrate whose SOI film thickness is $10 \mu\text{m}$ or more by a method wherein the SOI film thickness in each section inside the face of the SOI substrate is measured and an SOI film is etched by a prescribed etching margin.

CONSTITUTION: The face of an SOI substrate 11 is partitioned into a plurality of sections; the SOI film thickness of individual sections W1 to Wn is measured individually by using a Fourier-transform infrared spectrometer; a film-thickness map is formed. Then, an etching margin which sets the SOI film thickness of the individual sections to a specific value is computed for the individual sections W1 to Wn on the basis of the film-thickness map. After that, a dry etching apparatus 30 which can selectively etch only a prescribed region is scanned on the SOI substrate 11, the SOI film of the individual sections W1 to Wn is etched and treated by a prescribed etching margin. The dry etching apparatus can selectively etch only a region having a diameter of, e.g. 8 to 14mm.



LEGAL STATUS

[Date of request for examination] 20.03.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2970217
[Date of registration] 27.08.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right] 27.08.2002

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2970217号

(45) 発行日 平成11年(1999)11月2日

(24) 登録日 平成11年(1999)8月27日

(51) Int. Cl. [°]

識別記号

F I

H01L 21/66

H01L 21/66

P

G01B 11/06

G01B 11/06

Z

H01L 21/3065

H01L 21/302

A

請求項の数3 (全5頁)

(21) 出願番号 特願平4-138845

(22) 出願日 平成4年(1992)5月29日

(65) 公開番号 特開平5-335395

(43) 公開日 平成5年(1993)12月17日

審査請求日 平成8年(1996)3月20日

(73) 特許権者 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72) 発明者 大田 豊

群馬県安中市磯部2丁目13番1号信越半
導体株式会社 磯部工場内

(72) 発明者 阿部 孝夫

群馬県安中市磯部2丁目13番1号信越半
導体株式会社 半導体磯部研究所内

(72) 発明者 中野 正剛

群馬県安中市磯部2丁目13番1号信越半
導体株式会社 半導体磯部研究所内

(74) 代理人 弁理士 舘野 千恵子

審査官 川端 修

最終頁に続く

(54) 【発明の名称】 S O I 基板における S O I 膜厚均一化方法

1

(57) 【特許請求の範囲】

【請求項1】 S O I 基板面内を複数の区画し、フーリエ変換赤外分光計を用いて各区画の S O I 膜厚をそれぞれ測定して膜厚マップを作成し、各区画の S O I 膜厚が所定値となるためのエッチング代を前記膜厚マップに基づいて各区画毎に計算し、所定の領域のみを選択的にエッチング可能なドライエッチング装置を S O I 基板上で走査して各区画の S O I 膜を所定のエッチング代だけエッチング処理する S O I 膜厚均一化方法であって、前記フーリエ変換赤外分光計を用いる S O I 膜厚の測定方法では、マイケルソン干渉計を構成する固定鏡と移動鏡との光路差を連続的に変えて得られる干渉光を S O I 基板上に照射して光路差-反射赤外光強度曲線を得、この曲線における複数のサイドバーストの各々に存在する極小ピークの中から光路差の絶対値の最も小さいものを選択

2

し、その極小ピークの光路差から S O I 膜厚を求めることを特徴とする S O I 基板における S O I 膜厚均一化方法。

【請求項2】 前記ドライエッチング装置は、直径8～14mmφの領域のみを選択的にエッチング可能であることを特徴とする請求項1記載の S O I 基板における S O I 膜厚均一化方法。

【請求項3】 前記ドライエッチング装置の走査速度は、S O I 基板面の各区画におけるエッチング代とエッチング速度から決められることを特徴とする請求項1記載の S O I 基板における S O I 膜厚均一化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、S O I 膜厚を S O I 基板全面に亘って均一化する方法に関する。

【0002】

【従来の技術】従来、誘電体基板上に $1\mu\text{m}$ 以上の厚さを有する単結晶半導体薄膜を形成する方法としては、単結晶サファイア基板上に単結晶シリコン膜等をエピタキシャル成長させる技術が良く知られているが、この技術においては、誘電体基板と気相成長されるシリコン単結晶との間に格子定数の不一致があるため、シリコン気相成長層に多数の結晶欠陥が発生し、このために該技術は実用性に乏しい。

【0003】そこで、近年、SOI (Si On Insulator) 構造の接合ウエーハ (以下、SOI基板と称す) が特に注目されるに至った。このSOI基板は、例えば2枚の半導体基板の少なくとも一方を酸化処理してその基板の少なくとも一方の表面に酸化膜を形成し、これら2枚の半導体基板を前記酸化膜が中間層になるようにして重ね合わせた後、これらを所定温度に加熱して接着し、その一方の半導体基板を平面研削した後、更に研磨してこれを薄膜化し、単結晶シリコン薄膜 (以下、SOI膜と称す) とすることによって得られる。

【0004】ところで、パワーものに用いられるSOI基板は、SOI膜厚が比較的厚く $10\mu\text{m}$ 以上であるが、その厚さは均一で、バラツキは少なくとも $\pm 0.3\mu\text{m}$ 以下であることが要求される。

【0005】

【発明が解決しようとする課題】しかしながら、現行の研磨における管理方法の下ではSOI膜厚の均一化には限界があり、SOI膜厚をバラツキ $\pm 0.3\mu\text{m}$ 以下に抑えて均一化することは不可能であった。

【0006】本発明は上記問題に鑑みてなされたもので、その目的とする処は、SOI膜厚が $10\mu\text{m}$ 以上のSOI基板においても、SOI膜厚のバラツキを基板全面に亘って $\pm 0.3\mu\text{m}$ 以下に抑えることができるSOI基板におけるSOI膜厚均一化方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成すべく本発明は、SOI基板面内を複数に区画し、フーリエ変換赤外分光計を用いて各区画のSOI膜厚をそれぞれ測定して膜厚マップを作成し、各区画のSOI膜厚が所定値となるためのエッチング代を前記膜厚マップに基づいて各区画毎に計算し、所定の領域のみを選択的にエッチング可能なドライエッチング装置をSOI基板上で走査して各区画のSOI膜を所定のエッチング代だけエッチング処理するSOI膜厚均一化方法であって、前記フーリエ変換赤外分光計を用いるSOI膜厚の測定方法では、マイケルソン干渉計を構成する固定鏡と移動鏡との光路差を連続的に変えて得られる干渉光をSOI基板上に照射して光路差-反射赤外光強度曲線を得、この曲線における複数のサイドパーストの各々に存在する極小ピークの中から光路差の絶対値の最も小さいものを選択し、そ

の極小ピークの光路差からSOI膜厚を求めることをその特徴とする。

【0008】

【作用】本発明者等はフーリエ変換赤外分光計 (以下、FTIRと称す) を用いてSOI膜厚を測定する方法 (以下、FTIR法と称す) を先に提案したが、該方法によれば厚さ $10\mu\text{m}$ 以上のSOI膜厚であってもこれを高精度に測定できることがわかった。

【0009】従って、本発明のようにSOI基板面の各区画のSOI膜厚をFTIR法によって測定して膜厚マップを作成し、この膜厚マップに基づいて各区画におけるSOI膜のエッチング代を計算し、ドライエッチング装置によって各区画のSOI膜をエッチング代だけエッチング処理すれば、 $10\mu\text{m}$ 以上の厚さのSOI膜であっても、その厚さを $\pm 0.3\mu\text{m}$ 以下のバラツキに抑えて均一化することができる。

【0010】

【実施例】以下に本発明の実施例を添付図面に基づいて説明する。

【0011】本発明方法においては、図1に示すように、先ずSOI基板11が複数の区画 $W1, W2 \dots Wn$ に分割され、各区画 $W1, W2 \dots Wn$ のSOI膜厚がFTIR法によって測定されて膜厚マップが作成される。

【0012】ここで、FTIRによるSOI膜厚の測定方法を図2乃至図4に基づいて概説する。尚、図2はFTIR法によるSOI膜厚測定系の基本構成図、図3はSOI基板における光路差と反射赤外光強度との関係を示す図、図4は酸化膜厚 $1, 2, 3\mu\text{m}$ 上の $5 \sim 32\mu\text{m}$ の膜厚を有するSOI膜に対しFTIR法によって測定されたSOI膜厚と走査型電子顕微鏡 (SEM) によって測定されたSOI膜厚との相関を示す図である。

【0013】図2に示すように、赤外線発生用ランプ1によって発生した波長 $2.5 \sim 25\mu\text{m}$ の連続赤外光を、固定鏡2と移動鏡3及びビームスプリッター4で構成されるマイケルソン干渉計を用いて干渉光とし、この干渉光をSOI基板11上のSOI膜12上に照射する。

【0014】而して、前記固定鏡2と移動鏡3との光路差 Δ を連続的に変えて得られる干渉光をSOI膜12上に照射すると、固定鏡2と移動鏡3との光路差 Δ が或る特定の値を持つ際に、合成された反射光は特異な挙動を示す。つまり、図3に示す光路差-反射赤外光強度曲線上に反射光強度がピーク値を示すサイドパースト (ピーク集合部分) と称される部分が生じる。

【0015】本発明者等は、光路差-反射赤外光強度曲線において、反射光強度にピークが生じる光路差 Δ とSOI膜厚との間に存在する相関を見出した。即ち、光路差-反射赤外光強度曲線における複数のサイドパーストの各々に存在する極小ピークの内、光路差 Δ の絶対値の最も小さい極小ピークのその光路差 (図2に示す例で

は、図示の光路差 $\Delta m i n$)がSOI膜厚に対応していることを見出した。

【0016】而して、上記相関によれば、厚さ $10\mu m$ 以上のSOI膜であっても、その厚さを高精度に測定することができる。図4にFTIR法によって測定されたSOI膜厚と走査型電子顕微鏡(SEM)を用いて測定されたSOI膜厚との関係を示すが、これによれば両者のデータの相関係数は0.999であって、両者には非常に高い相関があることがわかる。

【0017】以上に説明したFTIR法によって前述のようにSOI基板11の各区画W1, W2...WnについてSOI膜厚が測定されて膜厚マップが作成されると、各区画W1, W2...WnのSOI膜厚が所定値となるために必要なエッチング代が膜厚マップに基づいて各区画W1, W2...Wn毎に計算される。

【0018】次に、図5に示すように、SOI基板11は反応室20内でドライエッチング装置30によってそのSOI膜12が、各区画W1, W2...Wnについて計算されたエッチング代分だけエッチングされて除去される。即ち、反応室20内にはX-Y平面(水平面)内を移動し得るX-Yテーブル40が収納されており、該X-Yテーブル40上には円板状の下部電極31が固定されている。又、反応室20内には円柱状の上部電極32が収納されており、両電極31, 32には交流電源33が接続されている。そして、両電極31, 32及び交流電源33がドライエッチング装置30を構成しており、該ドライエッチング装置30は直径8~14mm ϕ の領域のみを選択的にエッチング可能である。

【0019】而して、図5に示すように、SOI基板11が反応室20内の下部電極31上に固定され、反応室20内には反応ガス(SF₆/O₂ガス)が供給される。その後、X-Yテーブル40が駆動されてドライエッチング装置30の上部電極32がSOI基板11上を区画W1, W2...Wnの順に走査し、ドライエッチング装置30は両電極31, 32間の放電によってSOI基板11のSOI膜12を各区画W1, W2...Wnについて所定のエッチング代だけエッチングして薄層化し、SOI基板11の全区画W1, W2...Wnについてエッチング処理が終了すると、SOI膜厚は所望の値及び所望のパラツキ($\pm 0.3\mu m$)以下となってSOI基板11の全面に亘って均一化される。尚、ドライエッチング装置30の走査速度は、SOI基板11面の各区画W1, W2...Wnにおけるエッチング代とエッチング速度によって決定される。

【0020】ここで、具体例について説明する。

【0021】SOI膜厚の所望値が $20.0\mu m$ である

場合、5" N型<100>、中央の厚さが $21.5\mu m$ であるSOI膜を有するSOI基板に対して本発明方法を適用した。

【0022】先ず、SOI基板を全面に亘って10mm方眼に区画し、FTIR法によって各区画毎にSOI膜厚を測定して膜厚マップを作成したが、このときのSOI膜厚のパラツキは $\pm 1.0\mu m$ であった。

【0023】次に、SOI基板の各区画毎にエッチング代を計算し、ドライエッチング装置によってエッチング代分だけエッチング処理した。尚、エッチング処理には直径8mm ϕ の上部電極と直径200mm ϕ の下部電極を用い、両者の間隔を60mmに設定し、反応室内に反応ガス(SF₆/O₂ガス)を45/5cc/minの割合で供給しながら、両電極に周波数13.56MHz、電力0.2Wの交流を印加した。又、ドライエッチング装置の走査速度Vは、走査領域のSOI膜をX μm として、 $V=8\times 0.06/(X-20.0)$ (mm/min)によって求めた。ここに、8は前記上部電極の直径(mm)、0.06はSOI膜の深さ方向のエッチング速度($\mu m/min$)である。

【0024】而して、エッチング後のSOI膜厚分布としては、 $20.5\pm 0.25\mu m$ という結果が得られ、SOI膜厚のパラツキを $\pm 0.3\mu m$ 以下に抑えて均一化することができた。

【0025】

【発明の効果】以上の説明で明らかな如く、本発明によれば、SOI膜厚が $10\mu m$ 以上のSOI基板においても、SOI膜厚を $\pm 0.3\mu m$ 以下のパラツキに抑えて均一化することができるという効果が得られる。

【図面の簡単な説明】

【図1】区画されたSOI基板の平面図である。

【図2】FTIR法によるSOI膜厚測定系の基本構成図である。

【図3】SOI基板における光路差と反射赤外光強度との関係を示す図である。

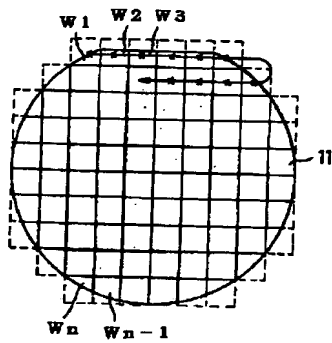
【図4】FTIR法によって測定されたSOI膜厚と走査型電子顕微鏡(SEM)によって測定されたSOI膜厚との相関を示す図である。

【図5】本発明方法を実施するための装置の構成図である。

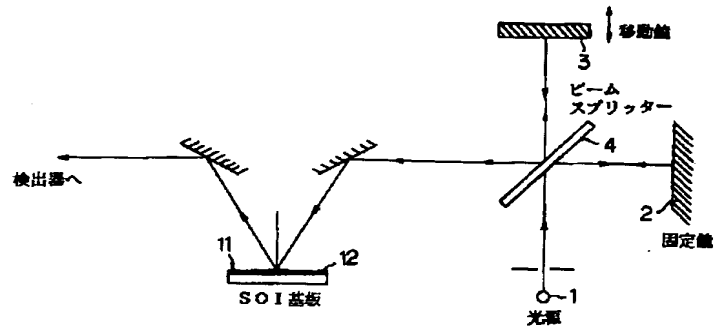
【符号の説明】

2	固定鏡
3	移動鏡
11	SOI基板
12	SOI膜
30	ドライエッチング装置

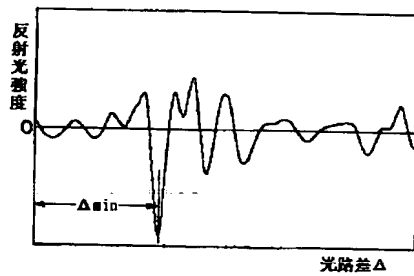
【図 1】



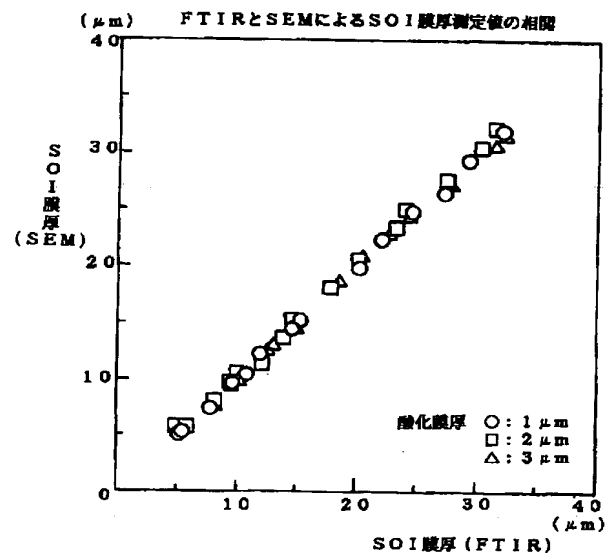
【図 2】



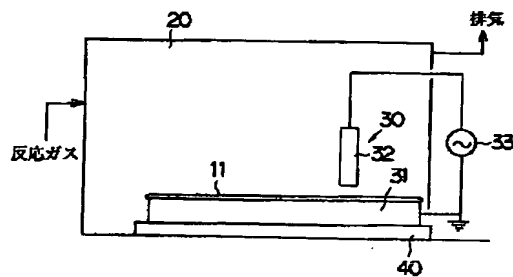
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 片山 正健

群馬県安中市磯部 2 丁目 13 番 1 号信越半
導体株式会社 半導体磯部研究所内

(58)調査した分野(Int.Cl.⁶, D B 名)

H01L 21/66